

МНОГОПРОЦЕССОРНАЯ АРХИТЕКТУРА ПС-2000 НА КРИСТАЛЛЕ СБИС

Ю.С. Затуливетер, Е.А. Фищенко

Институт проблем управления им. В.А. Трапезникова РАН, г. Москва

Рассмотрены современные проблемы построения многопроцессорных архитектур на одном кристалле. Предложено развитие архитектуры хорошо зарекомендовавшей себя отечественной многопроцессорной вычислительной системы ПС-2000 для реализации на одном кристалле.

ВВЕДЕНИЕ

Длительное время микроэлектронная промышленность обеспечивала быстрый рост производительности микропроцессоров. До середины 1990-х гг. производительность увеличивалась пропорционально росту как числа транзисторов на кристалле, так и рабочей частоте. Но в последнее десятилетие, несмотря на экспоненциальный рост числа транзисторов, производительность микропроцессоров увеличивалась, главным образом, лишь благодаря увеличению тактовой частоты, сопровождавшемуся быстрым увеличением тепловыделения.

В линейке микропроцессоров i286, i386 и i486 повышение производительности посредством увеличения числа транзисторов от нескольких десятков до нескольких сотен тысяч производилось, в основном, за счет увеличения разрядности машинных слов и аппаратного распараллеливания алгоритмов выполнения арифметических операций. Другой резерв повышения производительности с увеличением числа транзисторов от единиц до десятков миллионов — динамически раскрываемый параллелизм на основе анализа связей по данным на уровне соседних команд — был задействован во всех микропроцессорах линии Pentium.

Однако резервы параллелизма, скрывавшегося в рамках модели последовательных вычислений фон Неймана, изначально ограничены. Быстро растущий избыток транзисторов на кристалле, не укладывавшихся в ограниченные резервы параллелизма, отдавались буферной памяти (кэши разных

уровней), вклад которых в рост производительности был относительно небольшим.

Производительность микропроцессоров линии Pentium в расчёте на отдельный транзистор с ростом числа транзисторов только падала. Максимальное значение этого показателя достигнуто на самой первой модели Pentium (3,1 млн. транзисторов), что привело к структурному насыщению микропроцессорных архитектур и свидетельствовало о начавшемся (в скрытой форме) уже к середине 1990-х гг. кризисе классической модели последовательного счёта [1].

Естественный выход из этого кризиса — однокристалльные многопроцессорные архитектуры [1, 2]. Однако на этом пути имеются два принципиальных препятствия:

- известные решения в части многопроцессорных архитектур не предназначались для однокристалльной реализации, поскольку принципы балансировки однокристалльных многопроцессорных архитектур существенно иные;
- трудоёмкость программирования высокопараллельных архитектур на порядки выше, чем последовательных, поскольку требуется максимальный учет их архитектурных особенностей.

Ведущие изготовители микроэлектронных компонентов, пытаясь сохранить тенденцию роста производительности, предлагают радикальные изменения в базовой архитектуре персональных компьютеров — многоядерные однокристалльные процессоры. Но столь существенные архитектурные изменения предполагают кардинальное изменение подходов к индустриальному программированию, а именно — активное использование



чрезвычайно трудоемкого программирования разнообразных архитектур с массовым параллелизмом [3]. Многоядерность ясно и масштабно, но, к сожалению, с большим опозданием (почти на десятилетие [1]), обозначила на компьютерном рынке угрозу системного кризиса индустрии программирования. Сейчас, на пороге массового производства многоядерных кристаллов проявление «архитектурного голода» [1] на тщательно сбалансированные высокопараллельные архитектуры под стремительно выходящее количество от сотен миллионов до миллиарда и более транзисторов проявилось уже в острых формах.

Проблемы построения многопроцессорных систем общего и специального назначения, распараллеливания вычислений, программирования и эффективного применения таких систем относятся к наиболее сложным в компьютерной тематике. Отыскание лучших по одновременно многим системным и пользовательским характеристикам или хотя бы приемлемых вариантов составляет чрезвычайно сложную задачу.

Переход на микропроцессорную элементную базу, произошедший в 1980-х гг., сыграл злую шутку с архитекторами, занимавшимися разработкой многопроцессорных систем. Ввиду высокой сложности многопроцессорных систем темпы их разработки существенно отставали от темпов смены поколений и роста производительности новых микропроцессоров.

Сначала из сферы полномочий разработчиков многопроцессорных систем полностью ушла арифметика с регистровым уровнем хранения промежуточных данных, на которых обеспечивается максимально возможная скорость выполнения массовых операций. Им оставались только сферы межпроцессорной коммутации с принудительными запретами осуществления обмена данными между процессорами на регистровом уровне. Возможности распараллеливания для многопроцессорных систем сузились, поскольку они вынужденно сместились, главным образом, на уровень слабо взаимодействующих процессов с утратой колоссального резерва массового параллелизма на уровне арифметических операций.

Затем по мере повышения степени интеграции элементной базы блоки коммутации, собираемые из «россыпи», в целях снижения стоимости и сроков разработок стали вытесняться аппаратными средствами поддержки сетевых протоколов. Так многопроцессорные архитектуры эволюционировали в кластерные системы. В очень успешной борьбе за снижение стоимости и сроков крупнопанельная «сборка» таких систем свелась к приобретению и монтажу готовых многолезвийных ком-

пьютерных блоков и сетевых модулей. Необходимость в глубоких архитектурных разработках на уровне мелких «кирпичиков» отпала сама собой.

В результате более чем за двадцатилетний период быстрого и непрерывного укрупнения элементной базы в ходе смены поколений разработчиков была во многом утрачена культура и навыки комплексной балансировки всех возможных аппаратных уровней параллелизма. Именно такая культура становится совершенно необходимой при переходе к многопроцессорным архитектурам на одном кристалле, поскольку в полное ведение архитекторов поступает совокупность всех предоставляемых на кристалле транзисторов, каждый из которых — мельчайший и самый универсальный из возможных «кирпичиков».

Период длительного забвения архитекторов, работающих одновременно на всех уровнях аппаратного параллелизма, завершен. На транзисторном уровне для них открываются беспрецедентные возможности для повышения на порядки эффективности параллельных архитектур, как общего, так и специального назначения.

В связи с завершением архитектурного «ледникового периода» сохранившиеся островки культуры и навыков построения параллельных архитектур не из «крупнопанельной» элементной базы, а из мельчайших элементов, вне всяких сомнений составляют золотой фонд мирового компьютеростроения.

Одним из них является отечественная компьютерная школа, сформировавшаяся в 1972—1990 гг. в ходе создания и широкого промышленного применения многопроцессорной вычислительной системы (МВС) ПС-2000.

1. ПРЕИМУЩЕСТВА АРХИТЕКТУРЫ МВС ПС-2000

Оригинальная высокопараллельная архитектура ПС-2000 [4—7] обладает уникальными возможностями гибкой перестраиваемости под структуры решаемых задач. Она не только не утратила своей актуальности, но обладает реализованным лишь в малой части потенциалом, как в расширении классов решаемых задач, так и в существенном повышении эффективности параллельной обработки, благодаря балансировке всех доступных видов параллелизма, от уровня массовых операций до уровня системных процессов.

Система ПС-2000 разрабатывалась в 1975—1980 гг. Институтом проблем управления (г. Москва) совместно с НПО «Импульс» (г. Северодонецк), где с 1981 по 1988 г. она серийно выпускалась. Это была первая в мире выпущенная большим тиражом (242 шт.) высокопроизводительная

(200 Mips, где ips — команда (инструкция) в секунду) многопроцессорная вычислительная система, которая характеризовалась как «самый быстродействующий и самый продвинутый компьютер Советского Союза» [8, 9].

Система ПС-2000 широко и с большим экономическим эффектом применялась в различных областях народного хозяйства. Одно из главных промышленных применений — обработка данных геофизической сейсморазведки нефти и газа. Системы ПС-2000 входили в состав экспедиционных геофизических вычислительных комплексов ЭГВК ПС-2000, оснащенных системой обработки геофизической информации (сейсмоданных) СОС ПС (ВНИИ «Геофизика», г. Москва). Эти комплексы успешно конкурировали с геофизическими вычислительными центрами, оснащенными на порядок более дорогими суперкомпьютерами зарубежного производства [6].

Положенные в основу МВС ПС-2000 архитектурные принципы особенно перспективны сегодня. Тогда они позволили при очень малой по нынешним временам тактовой частоте 3 МГц снимать со всех параллельно работающих 64-х процессорных элементов (ПЭ) ПС-2000 пиковую производительность 200 Mips (или 50 Mflops, где flops — операция с плавающей запятой в секунду), получаемую умножением тактовой частоты на число ПЭ. При этом совокупность из 64 медленных (3 МГц) ПЭ работала как один «сверхбыстрый» процессор с частотой 200 МГц. Близкая к 100 % средняя загрузка всех ПЭ в реальных применениях обеспечивала среднюю производительность, близкую к пиковой, что достигалось на решении важнейших задач промышленной обработки данных [10].

В настоящее время реализация архитектурных принципов ПС-2000 на одном кристалле с тактовой частотой 2 ГГц может обеспечить производительность более 120 Gips, т. е. работать с приведённой к одному процессору частотой более 120 ГГц.

Наличие большого и далее быстро растущего резерва транзисторов, предоставляемого современными СБИС-технологиями, даёт возможность существенно увеличить производительность выполнения арифметических операций с числами в форматах с плавающей запятой, что позволяет оценить производительность отдельного кристалла с 64 ПЭ в 120 Gflops.

Масштабируемая по числу ПЭ архитектура ПС-2000 позволяет наращивать число ПЭ пропорционально росту числа транзисторов на кристалле. В указанных предположениях производительность, близкая к 1 Tflops, может достигаться на 512 ПЭ в одном кристалле.

Элементная база из многоядерных микросхем с архитектурой ПС-2000 откроет возможности для построения программно реконфигурируемых параллельно-конвейерных систем сверхвысокой производительности как специального, так и общего назначения. С помощью таких кристаллов производительность в 1 Pflops достижима в нескольких стойках.

Пиковая производительность ПС-2000, равная произведению быстродействия арифметико-логического устройства на число ПЭ, достигалась путем одновременного исполнения вычислительных операций и управляющих действий в других функциональных устройствах, таких как считывание команд, считывание операндов и запись результатов, модификация адресов операндов, активация ПЭ, межпроцессорные обмены, управление конфигурацией и т. п.

Эффективное управление обеспечивается реализацией принципов [11]:

- применения отдельных блоков памяти для хранения команд и данных, как векторных, так и скалярных с возможностью одновременного доступа;
- одновременного исполнения независимых действий чтение/запись в памяти для векторных и скалярных данных;
- применения значительных объемов регистровой памяти в разнотипных функциональных устройствах;
- применения форматов команд одинакового размера, разбитых на поля, в которых задаются независимые трехадресные регистровые операции;
- совмещения программным путем нескольких параллельно исполняемых действий разной длительности.

Эти принципы получили распространение в более поздних зарубежных разработках компьютеров различных классов [12, 13]. Развитие предложенных принципов в применении к высокопараллельным компьютерным архитектурам актуально и в настоящее время.

Как известно, МВС с SIMD-архитектурой весьма эффективны для обработки мультимедийных данных [14, 15] и цифровой обработки сигналов [16], для решения научных задач, которые хорошо описываются параллельными алгоритмами, для обработки акустической, радиолокационной и телеметрической информации. В этой связи весьма актуальной становится проблема создания универсальной программируемой МВС с SIMD-архитектурой на одном кристалле, которая могла бы во многих областях заменить специализированные ускорители для различных применений.



2. МИКРОАРХИТЕКТУРА ПС-2000М

Микроархитектура ПС-2000М, т. е. архитектура МВС ПС-2000, предназначенная для реализации на одном кристалле, весьма эффективна для решения задач, в которых на одно вводимое данное приходится много промежуточных действий.

Требования к балансировке микроархитектуры:

- параллелизм на уровне массовых операций требует гибкой системы межпроцессорного обмена промежуточными данными на регистровом уровне;
- балансировка общего транзисторного ресурса на кристалле при его разделении между ресурсами обработки, хранения и коммутации;
- балансировка времени и совмещение ввода-вывода данных со временем счета;
- балансировка параллелизма на уровне массовых операций с уровнем системных процессов;
- масштабируемость микроархитектуры внутри кристалла;
- масштабируемость архитектуры на межкристальном уровне (наращивание производительности путем прямого соединения между собой многопроцессорных кристаллов на уровне плат, блоков плат, стоек).

На рис. 1 (см. цветную вклейку) представлена микроархитектура МВС ПС-2000М. Она содержит общее устройство управления (ОУУ), m устройств обработки (УО) и устройство коммутации (УК).

Каждое устройство обработки $УО_j$, $j \in \{1, 2, \dots, m\}$, содержит n ПЭ, банк динамической памяти M_j с доступом к строкам размером n 32-разрядных слов, канал прямого доступа DMA_j к банку памяти M_j , входной буфер MW_j строки банка памяти M_j , содержащий n 32-разрядных регистров $MW_j.1, MW_j.2, \dots, MW_j.n$, выходной буфер MR_j строки банка памяти M_j , содержащий n 32-разрядных регистров $MR_j.1, MR_j.2, \dots, MR_j.n$, устройство локальной адресации L_j к строке банка памяти M_j . Каждый ПЭ $ПЭ_{j,i}$, $j \in \{1, 2, \dots, m\}$, $i \in \{1, 2, \dots, n\}$, содержит арифметико-логическое устройство $S_{j,i}$ с регистрами общего назначения, устройство активации $T_{j,i}$.

Общее устройство управления содержит банк динамической памяти H с произвольным доступом, входной буфер HW банка памяти H , выходной буфер HR банка памяти H , устройство адресации HL к банку памяти; арифметико-логическое устройство W с регистрами общего назначения, память команд G .

Устройство коммутации содержит широковещательный и кольцевой каналы. Широковещательный канал содержит m регистров K_j и регистр KU . Регистр K_j соединен с устройством обработки $УО_j$, регистр KU соединен с ОУУ. Широковеща-

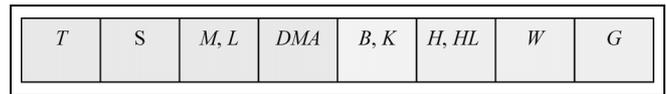


Рис. 2. Структура команды МВС ПС-2000М

тельный канал предназначен для передачи всем ПЭ общего данного либо из ОУУ, либо из любого активированного ПЭ. Кольцевой канал состоит из m колец B_j , каждое из которых состоит из n регистров $B_j.1, B_j.2, \dots, B_j.n$.

Вход каждого устройства $S_{j,i}$ соединен с регистрами $MR_{j,i}, T_{j,i}, B_{j,i}, L_j$ и K_j , его выход соединен с регистрами $B_{j,i}, L_j$ и K_j . Выбор процессорного элемента $ПЭ_{j,i}$, который соединяется с общими для всех ПЭ, входящими в УО, регистрами L_j и K_j , осуществляется с помощью устройства активации $T_{j,i}$.

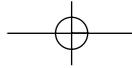
На рис. 2 приведена структура команды, которая состоит из полей, задающих одновременную работу векторных функциональных устройств T, S, M и L, DMA , кольцевого B и магистрального K каналов, скалярных функциональных устройств H, HL, W и G .

В настоящее время пропускная способность памяти существенно ограничивает эффективность многоядерных вычислительных систем. В микроархитектуре ПС-2000М пропускная способность памяти V значительно увеличивается, поскольку она пропорциональна всем основным параметрам, характеризующим параллелизм и быстродействие архитектуры: $V = n * m * p * f$, где m — число локальных банков динамической памяти M_j в m устройствах обработки, n — число слов в строке банка памяти M_j , p — число разрядов слова, f — внутренняя тактовая частота памяти в кристалле.

Пропускная способность памяти значительно возрастает, благодаря как значительному увеличению числа одновременно считываемых бит информации, так и увеличению тактовой частоты памяти. Так, при $m = 64$, $n = 8$, $p = 32$ и $f = 1000$ МГц пропускная способность памяти составит 160 Тбит/с. Время доступа к динамической памяти становится постоянным благодаря адресации только к строкам банков памяти, что позволяет ей работать в синхронном режиме.

Нетрудно видеть, что и функциональные возможности программно управляемой памяти архитектуры ПС-2000М, размещаемой на одном кристалле, много превосходят возможности буферной кэш-памяти, размещаемой на кристалле микропроцессоров, в том числе и многоядерных.

Масштабирование микроархитектуры МВС ПС-2000М обеспечивается благодаря возможности программной настройки конфигурации кольце-



МНОГОПРОЦЕССОРНАЯ АРХИТЕКТУРА ПС-2000 НА КРИСТАЛЛЕ СБИС

(см. статью Затуливетра Ю.С., Фищенко Е.А. на с. 30)

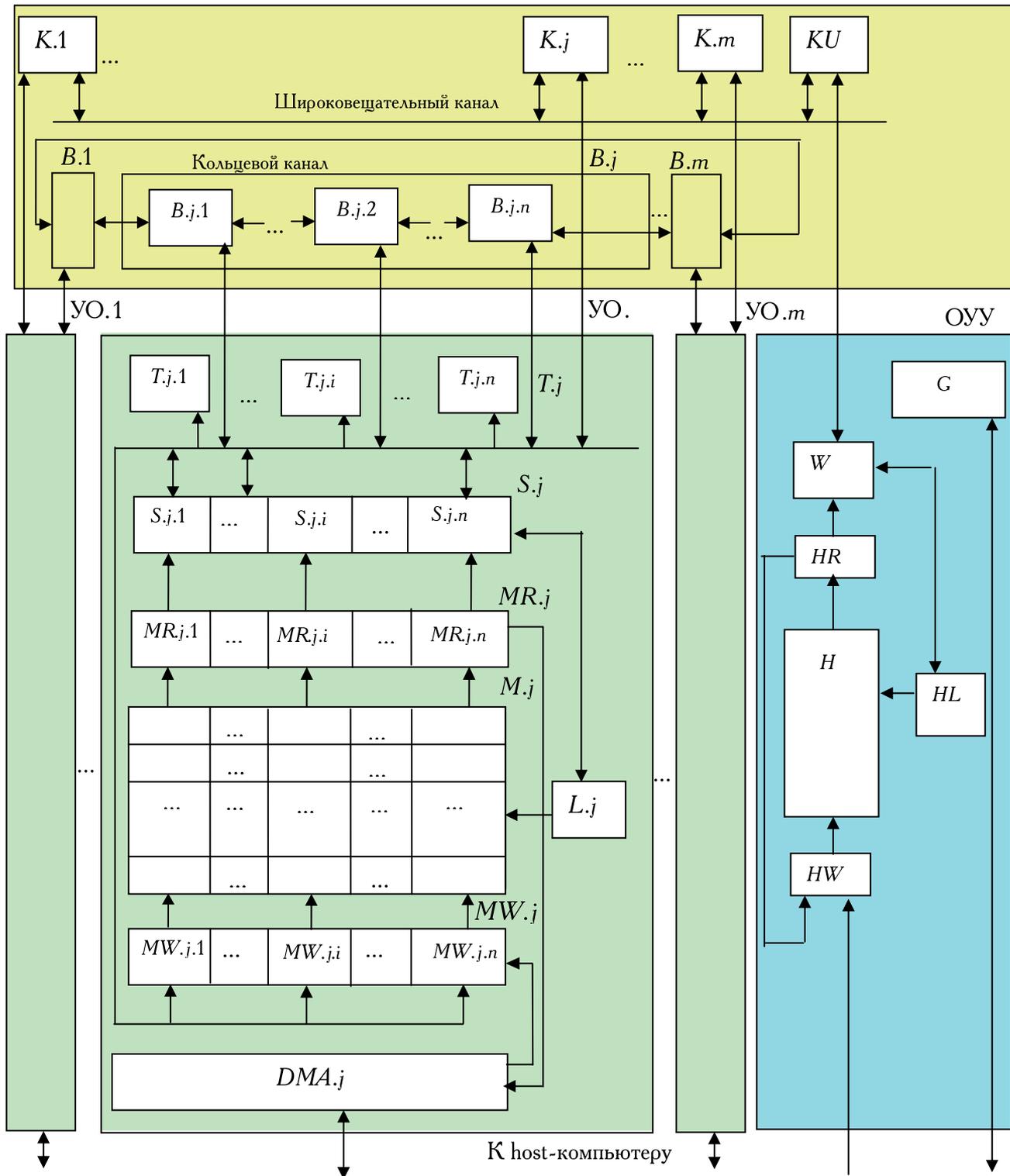
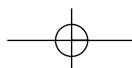


Рис. 1. Микроархитектура ПС-2000М



вого и широкоэмиттерного каналов, что позволяет отключать неисправные устройства обработки и тем самым увеличивать процент выхода годных микросхем.

Применение динамической памяти позволяет снизить уровень энергопотребления на кристалле МВС ПС-2000М. Применение высокопараллельной масштабируемой SIMD-архитектуры для организации вычислений и распределенной памяти позволяет регулировать соотношение производительность/энергопотребление путем изменения внутренней тактовой частоты, а также путем балансировки количества оборудования для памяти и вычислений. Это делает микроархитектуру ПС-2000М легко масштабируемой относительно энергопотребления и дает возможность ее применения в мобильных устройствах.

3. ОБ АВТОМАТИЗАЦИИ ПРОГРАММИРОВАНИЯ

Предложенная для реализации на одном кристалле микроархитектура ПС-2000М является синхронной с заранее определенным количеством тактов при выполнении команд в различных функциональных устройствах. В ней аппаратно разделены и совмещены во времени команды памяти, массовых вычислений, межпроцессорных обменов, модификации адресов операндов, вычисления условий, подготовки настроек, ввода/вывода. Она предоставляет открытый для программистов параллелизм на уровне команд и данных, который доступен для формализации посредством структурных параметров. Система команд обладает гибкой системой настроек, позволяющей составлять программы, инвариантные к числу ПЭ.

Указанные свойства открывают возможности для автоматического синтеза программ машинного уровня, эффективно использующих все возможности высокопараллельной архитектуры, доступные на низовом программном уровне, прежде всего, параллелизм массовых операций. В рамках исследовательских работ по автоматизации программирования высокопараллельной архитектуры ПС-2000 сформировался общий подход [17], в котором параллельные компьютерные архитектуры в полнофункциональном виде задаются формальным структурным параметром.

Параметризованный синтез программ можно представить формулой $p = S(f, r)$, где p — синтезируемая параллельная программа машинного уровня; f — математическое описание программируемой функции, сохраняющее ее естественный параллелизм и не зависящее от компьютерной архитектуры; r — структурный параметр, представляющий параллельную архитектуру с уровнем детализации до всех машинных действий открытых

на программном уровне; S — универсальная относительно допустимых значений f и r процедура, осуществляющая автоматический синтез высокоэффективных программ машинного уровня, предназначенных для выполнения в компьютере с архитектурой, представленной структурным параметром r .

Это качественно новый путь построения средств индустриального программирования параллельных компьютеров, который открывает возможности не только автоматического синтеза программ машинного уровня, но и решения острых проблем межархитектурной переносимости многопроцессорных приложений.

ЗАКЛЮЧЕНИЕ

Появление на массовом рынке многоядерных кристаллов легализовали долго скрывавшиеся за массовыми тиражами фоннеймановских компьютеров и технологий индустриального программирования до сих пор нерешенные фундаментальные проблемы «архитектурного голода» на высокопараллельные архитектуры и технологии их программирования. Это признак серьезных перемен на мировом компьютерном рынке.

Прежде доступные только в США опережающие микропроцессорные СБИС-технологии обеспечивали им подавляющие односторонние преимущества в конкурентной борьбе. Пример тому — яркое, но краткое по времени (конец 1980-х — начало 1990-х гг.) противостояние замечательной во многих отношениях параллельной транспьютерной архитектуры, предложенной и совместно доведенной до коммерческого воплощения ведущими европейскими (Англия, Франция, Германия) фирмами. Но запаса опережающих преимуществ этой архитектуры хватило лишь на несколько лет. Европа не смогла противостоять заокеанской лавине транзисторов. Выдающаяся во многих отношениях транспьютерная архитектура уступила грубой силе закона Мура.

Теперь, спустя десятилетие, продолжающий своё действие закон Мура привел к несбалансированным многоядерным архитектурам, демонстрирующим не столько прогресс компьютерных архитектур, сколько вынужденный (без должной замены) откат компьютерной индустрии от своего главного «стандарта» — модели фон Неймана, исчерпавшей свои системообразующие возможности [1]. На высшие приоритеты возвращаются высокопараллельные архитектуры, но уже в более изощренных требованиях многоуровневой балансировки и легко масштабируемого СБИС-погружения многопроцессорных сегментов с однокристалльной реализацией.



ЛИТЕРАТУРА

1. *Затуливетер Ю.С.* Компьютерные архитектуры: неожиданные повороты // *Hard 'n' Soft*. — 1996. — № 2. — С. 86—94 <http://zvt.hotbox.ru/p2_z1.htm>.
2. *Параллельные высокопроизводительные ЭВМ на основе заказных СБИС с многопроцессорной архитектурой / Ю.С. Затуливетер, Е.А. Фищенко, В.А. Кротов, В.А. Лементуев // Приборы и системы управления*. — 1996. — № 12. — С. 24—26.
3. *Зюбин В.* Многоядерные процессоры и программирование // *Открытые системы*. — 2005. — № 7-8. — С. 12—19.
4. *Прангишвили И.В., Виленкин С.Я., Медведев И.Л.* Многопроцессорные вычислительные системы с общим управлением. — М.: Энергоатомиздат, 1983. — 312 с.
5. *А. с. 751238 (СССР)*. Многопроцессорная вычислительная система / А.Я. Бирюков, С.Я. Виленкин, В.А. Жуков и др. // *Бюл.* — 1983. — № 22.
6. *Москва компьютерная / И.В. Прангишвили, Ю.С. Затуливетер, А.Д. Смирнов, А.Н. Томилин // Развитие инженерного дела в Москве: Исторические очерки*. — М., 1998. — С. 338—354. <<http://www.computer-museum.ru/histussr/moscomp.htm>>.
7. *Затуливетер Ю.С., Фищенко Е.А.* Многопроцессорная вычислительная система ПС-2000 <<http://www.computer-museum.ru/histussr/11-1.htm>>.
8. *Wolcott P., Goodman S. E.* High-Speed computers of the Soviet Union // *IEEE Computer*. — 1988. — Vol. 21, N 9. — P. 32—41.
9. *Wolcott P., Goodman S.E.* International perspectives: under the stress of reform high-performance computing in the former Soviet Union // *Communications of the ACM*. — 1993. — Vol. 36, N 10. — P. 21—24.
10. *Миграция временного разреза земли на параллельной ЭВМ ПС-2000 (Быстрое сейсмологографическое преобразова-*
- ние Кирхгофа) / Е.Т. Амелина, Ю.С. Затуливетер, Е.П. Лазебник и др. — М.: Ин-т пробл. управл. 1992. — 36 с.
11. *Фищенко Е. А.* Выбор системы команд для многопроцессорной вычислительной системы с общим потоком команд // *Многопроцессорные вычислительные системы с общим потоком команд: Сб. науч. тр. / Ин-т пробл. упр.* — М., 1978. — № 19. — С. 33—39.
12. *Fisher J.* Very long instruction word architectures and the ELI512 // *Proc. of the 10-th Annual International Symposium on Computer Architecture*. — Stockholm, — 1983. — P. 140—150.
13. *Philips Semiconductors.* Introduction to VLIW Computer Architecture <http://www.semiconductors.philips.com/acrobat_download/other/vliw-wp.pdf>.
14. *Kozyrakis C., Patterson D.* Vector vs superscalar and VLIW architectures for embedded multimedia benchmarks // *Proc. of the 35th Intl. Symp. on Microarchitecture / Istanbul, Turkey, Nov., 2002*. — P. 283—293 <<http://citeseer.ist.psu.edu/kozyrakis02vector.html>>.
15. *Nguyen T., Zakhor A., Yelick K.* Performance Analysis Of An H.263 Video Encoder For Viram <<http://citeseer.ist.psu.edu/correct/416764>>.
16. *Elliott D. G., Snelgrove W. M., Stumm M.* Computational RAM: A Memory-SIMD Hybrid and its Application to DSP // *In Custom Integrated Circuits Conference*. — Boston, MA, 1992. — P. 30.6.1—30.6.4.7 <<http://www.dissonance.com/archive/rtcapers/Elliott92.pdf>>.
17. *Затуливетер Ю.С.* Введение в проблему параметризованного синтеза программ для параллельных компьютеров. — М.: Ин-т. пробл. упр., 1993. — 88 с.

☎ (495) 334-92-09, e-mail: zvt@ipu.ru, fish@ipu.ru

Статья представлена к публикации членом редколлегии В.Д. Малюгиным. □



УВАЖАЕМЫЕ ДАМЫ И ГОСПОДА!

Приглашаем Вас принять участие в седьмой международной конференции и выставке «СИСТЕМЫ ПРОЕКТИРОВАНИЯ, ТЕХНОЛОГИЧЕСКОЙ ПОДГОТОВКИ ПРОИЗВОДСТВА И УПРАВЛЕНИЯ ЭТАПАМИ ЖИЗНЕННОГО ЦИКЛА ПРОМЫШЛЕННОГО ПРОДУКТА (CAD/CAM/PDM-2007)»,

которая состоится с 23 по 25 октября 2007 г. в Москве, в Институте проблем управления им. В.А. Трапезникова РАН.

Тематика конференции:

- организация структур технических и программных средств проектирования и управления; средства взаимодействия, структуры данных, международные стандарты;
- компьютерная графика и CAD/CAM/PDM-системы в учебных процессах (программы обучения по дисциплинам, методические материалы, тестирование); средства виртуальной реальности в промышленных системах;
- интегрированные производственные системы и управление технологическими процессами PDM-системы;
- проектирование в машиностроении и строительстве;
- проектирование в радиоэлектронике;
- аналитика и творчество.

Ключевые даты: до 1 сентября 2007 г. — заявка на участие в конференции и (или) выставке, перевод оргвзноса, представление тезисов докладов (более одной страницы формата А5);

до 20 сентября 2007 г. — представление полных текстов докладов.

Заявки, тезисы и доклады высылаются по e-mail: conf18@ipu.ru. Форма заявки, правила оформления тезисов и докладов представлены на сайте <http://lab18.ipu.rssi.ru>.

Адрес оргкомитета: 117997 г. Москва, Профсоюзная ул., 65, Институт проблем управления им. В.А. Трапезникова РАН.

Председатель Оргкомитета д-р техн. наук Е.И. Артамонов, учёный секретарь канд. техн. наук С.В. Смирнов.

Тел. для справок: (495) 334-93-50; факс (495) 334-91-29.

ОРГКОМИТЕТ